

# The Delphion Integrated View

Get N w:  PDF | More choices...Tools: Add to Work File:  Create new Work File  Go

View: Expand Details | INPADOC | Jump to: Top

 Go to: Derwent Email this to a friend**>Title: DE10149199A1: Speicherzellenfeld und Verfahren zu seiner Herstellung****Derwent Title:** Storage cell field of dynamic RAM, includes high boron content implantation in substrate to prevent space-charge zones at trench capacitors from constricting substrate region, to restrict specific potential input to transistor wells  
[Derwent Record]**Country:** DE Germany**Kind:** A1 Document Laid open (First Publication)!**Inventor:** Goldbach, Matthias, Dr.; Dresden, Germany 01109  
Schloesser, Till, Dr.; Dresden, Germany 01109

High Resolution

**Assignee:** Infineon Technologies AG, München, Germany 81669  
News, Profiles, Stocks and More about this company**Published / Filed:** 2003-04-24 / 2001-10-05**Application Number:** DE2001010149199**IPC Code:** H01L 27/108;**Priority Number:** 2001-10-05 DE2001010149199**Abstract:**

Ein Speicherzellenfeld umfaßt eine Mehrzahl von in einem Substrat (22) eines ersten Dotierungstyps gebildeten Speicherzellen, die einen in dem Substrat (22) angeordneten Grabenkondensator (10a, 12a) und einen dem Grabenkondensator zugeordneten Auswahltransistor (26, 28) mit einem Transistorbody (26', 28'), der in dem Substrat (22) angeordnet ist, aufweisen. Eine Implantation (36) einer erhöhten Dotierstoffkonzentration des ersten Dotierungstyps ist in dem Substrat (22) vorgesehen. Die Implantation (36) verhindert, daß Raumladungszonen (38) an den Grabenkondensatoren (10a, 12a), die bei vorbestimmten Speicherzuständen der Grabenkondensatoren (10a, 12a) bewirkt werden, einen zum Anlegen eines vorbestimmten Potentials an die Transistorbodys (26', 28') zur Verfügung stehenden Substratbereich derart einschnüren können, daß das vorbestimmte Potential nicht angelegt werden kann.

**Attorney, Agent or Firm:** Schoppe, Zimmermann, Stöckeler & Zinkler ; , Pullach 82049**INPADOC Legal Status:** [Show legal status actions](#) **Get Now:** [Family Legal Status Report](#)**Family:** [Show 2 known family members](#)**Description:** [Expand full description](#)

+

**Bezugszeichenliste****First Claim:** [Show all claims](#)

1. Speicherzellenfeld mit folgenden Merkmalen:

einer Mehrzahl von in einem Substrat (22; 48) eines ersten Dotierungstyps gebildeten Speicherzellen, die einen in dem Substrat angeordneten Grabenkondensator (10a, 12a; 50, 52) und einen dem Grabenkondensator zugeordneten Auswahltransistor (26, 28) mit einem Transistorbody (26', 28'), der in dem Substrat (22, 48) angeordnet ist, aufweisen, gekennzeichnet durch eine Implantation (36; 70) einer erhöhten Dotierstoffkonzentration des ersten Dotierungstyps in dem Substrat (22; 48), die verhindert, daß Raumladungszonen (38, 40; 72) an den Grabenkondensatoren, die bei vorbestimmten Speicherzuständen der Grabenkondensatoren bewirkt werden, einen zum Anlegen eines vorbestimmten Potentials an die Transistorbodies (26', 28') zur Verfügung stehenden Substratbereich derart einschließen können, daß das vorbestimmte Potential nicht angelegt werden kann.

Domestic References:

PDF	Patent	Pub.Date	Inventor	Assignee	Title
<input checked="" type="checkbox"/>	DE3844388	1989-08-24	Jin, Dae-Je	Samsung Electronics Co., Ltd., Suwon, KR	Dynamische Direktzugriffspeichereinrichtung
<input checked="" type="checkbox"/>	DE3841927	1989-06-22	Okumura, Yoshinori, Itami, Hyogo, JP	Mitsubishi Denki K.K., Tokio/Tokyo, JP	Verfahren zur Herstellung einer Halbleitervorrichtung mit einem elektrischen Kontakt

Foreign References:

None

Other Abstract

Info:



Nominate this for the Gallery...



© 1997-2003 Thomson Delphion

[Research Subscriptions](#) | [Privacy Policy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

⑯ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑯ ⑫ Offenlegungsschrift  
⑯ ⑯ DE 101 49 199 A 1

⑯ Int. Cl. 7:  
H 01 L 27/108

⑯ Aktenzeichen: 101 49 199.9  
⑯ Anmeldetag: 5. 10. 2001  
⑯ Offenlegungstag: 24. 4. 2003

3

⑯ Anmelder:  
Infineon Technologies AG, 81669 München, DE

⑯ Vertreter:  
Schoppe, Zimmermann, Stöckeler & Zinkler, 82049  
Pullach

⑯ Erfinder:  
Goldbach, Matthias, Dr., 01109 Dresden, DE;  
Schloesser, Till, Dr., 01109 Dresden, DE

⑯ Entgegenhaltungen:  
DE 38 44 388 A1  
DE 38 41 927 A1

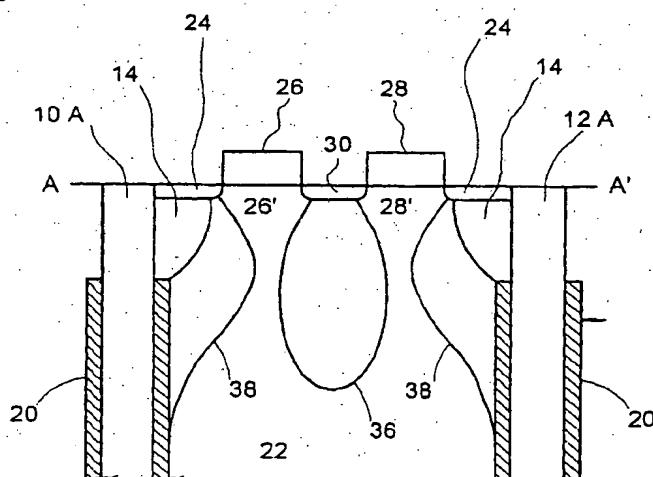
**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

Der Inhalt dieser Schrift weicht von den am Anmeldetag eingereichten Unterlagen ab

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Speicherzellenfeld und Verfahren zu seiner Herstellung

⑯ Ein Speicherzellenfeld umfaßt eine Mehrzahl von in einem Substrat (22) eines ersten Dotierungstyps gebildeten Speicherzellen, die einen in dem Substrat (22) angeordneten Grabenkondensator (10a, 12a) und einen dem Grabenkondensator zugeordneten Auswahltransistor (26, 28) mit einem Transistorbody (26', 28') aufweisen. Eine Implantation (36) einer erhöhten Dotierstoffkonzentration des ersten Dotierungstyps ist in dem Substrat (22) vorgesehen. Die Implantation (36) verhindert, daß Raumladungszonen (38) an den Grabenkondensatoren (10a, 12a), die bei vorbestimmten Speicherzuständen der Grabenkondensatoren (10a, 12a) bewirkt werden, einen zum Anlegen eines vorbestimmten Potentials an die Transistorbodys (26', 28') zur Verfügung stehenden Substratbereich derart einschnüren können, daß das vorbestimmte Potential nicht angelegt werden kann.



DE 101 49 199 A 1

DE 101 49 199 A 1

## Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf ein Speicherzellenfeld und ein Verfahren zu seiner Herstellung, und insbesondere ein solches Speicherzellenfeld, bei dem eine Speicherzelle aus einem Auswahltransistor und einem Grabenkondensator besteht, wie es bei üblichen DRAM-Speicherzellen der Fall ist.

[0002] Bei bekannten DRAM-Speicherzellen, die einen Auswahltransistor und einen zugeordneten Grabenkondensator, die in einem Substrat gebildet sind, aufweisen, wird ein bestimmtes Potential an den Transistorbody der Auswahltransistoren angelegt, indem der Transistorbody über den darunterliegenden Substratbereich mit einem Substratanschluß elektrisch gekoppelt ist.

[0003] Die Aufgabe der vorliegenden Erfindung besteht darin, ein Speicherzellenfeld zu schaffen, bei dem auch bei deutlich verringerten Strukturgrößen eine Verbindung zwischen Transistorbody und Substrat gewährleistet bleibt, und ein Verfahren zum Herstellen eines solchen Speicherzellenfelds zu schaffen.

[0004] Diese Aufgabe wird durch ein Speicherzellenfeld nach Anspruch 1 und ein Verfahren zum Herstellen eines Speicherzellenfelds nach Anspruch 5 gelöst.

[0005] Die vorliegende Erfindung schafft ein Speicherzellenfeld mit einer Mehrzahl von in einem Substrat eines ersten Dotierungstyps gebildeten Speicherzellen, die einen in dem Substrat angeordneten Grabenkondensator und einen dem Grabenkondensator zugeordneten Auswahltransistor mit einem Transistorbody, der in dem Substrat angeordnet ist, aufweisen; und

einer Implantation einer erhöhten Dotierstoffkonzentration des ersten Dotierungstyps in dem Substrat, die verhindert, daß Raumladungszonen an den Grabenkondensatoren, die bei vorbestimmten Speicherzuständen der Grabenkondensatoren bewirkt werden, einen zum Anlegen eines vorbestimmten Potentials an die Transistorbodies zur Verfügung stehenden Substratbereich derart einschnüren können, daß das vorbestimmte Potential nicht angelegt werden kann.

[0006] Die vorliegende Erfindung basiert auf der Erkenntnis, daß bei zunehmender Miniaturisierung von Speicherzellen, insbesondere DRAM-Speicherzellen, mit einer Feature-Größe unter 100 nm bei gegebenen Speicherzellenarchitekturen eine Verbindung zwischen Transistorbody und Substrat aufgrund von an den Grabenkondensatoren vorliegenden Raumladungszonen verhindert sein kann, so daß angepaßte Maßnahmen erforderlich sind, um noch die nötigen niederohmigen Substratanschlüsse von dem Auswahltransistor gewährleisten zu können. Hier ist insbesondere die Raumladungszone, die durch einen High-Zustand, d. h. eine auf den Grabenkondensator aufgebrachte Ladung im Graben des Kondensators an der Collar-Region desselben erzeugt wird, wichtig. Mit der zunehmenden Miniaturisierung von Zellen-Layouts verbleibt zwischen den tiefen Gräben im Collar-Bereich nebeneinander angeordneter Grabenkondensatoren weniger als 100 nm Platz. In diesem Bereich zwischen den tiefen Gräben wurde bisher gewährleistet, daß der Bodyanschluß des Auswahltransistors mit dem Substrat verbunden blieb. Da die oben angesprochene Raumladungszone der Grabenkondensatoren abhängig von der Dotierung des Substrats in der Größenordnung von einigen Nanometern bis zu einigen 10 nm liegen kann, kann bei Strukturgrößen von unter 100 nm ein solcher Einschnürungseffekt des Substratbereichs zwischen benachbarten Grabenkondensatoren auftreten, daß eine Trennung des Transistorbodies von einem Substratanschluß bei einem ungünstigen Beschreibungszustand benachbarter Zellen, d. h. einen gleichzeitigen High-Zustand, getrennt sein kann.

[0007] Bei gängigen Grabenkondensatoren, die vergrabene Anschlußbereiche, sogenannte Buried Straps, aufweisen, die durch entgegengesetzt zu dem Substrat hochdotierte Bereiche gebildet sind, darf in dem relevanten Bereich die Dotierung des Substrats wegen ansonsten zu hoher Leckströme nicht zu groß sein, beispielsweise im Bereich von einigen  $10^{17} \text{ cm}^3$ . Bei einem solchen Dotierungspegel des Substrats können die an den Grabenkondensatoren erzeugten Raumladungszonen ohne weiteres eine solche Einschnürung bewirken, daß eine Verbindung zwischen Transistorbody und Substratanschluß nicht mehr gegeben ist, was der Fall ist, wenn der verbleibende Flussquerschnitt aufgrund der geringen Dotierung einen zu hohen Widerstand liefert bzw. sich die erzeugten Raumladungszonen im schlimmsten Fall von vier Seiten berühren.

[0008] Bei bekannten Speicherzellenfeldern ist das angesprochene Problem bisher nicht aufgetreten, da bei Strukturgrößen deutlich über 100 nm die Raumladungszonen klein gegenüber dem Platz zwischen den tiefen Gräben der Grabenkondensatoren sind.

[0009] Erfindungsgemäß wird das angesprochene Problem gelöst, indem eine Implantation des Dotierungstyps, der dem des Substrats entspricht, so in dem Substrat erzeugt wird, daß der BULK-Kontakt des Auswahltransistors an das darunterliegende Substrat angeschlossen bleibt, oder anders ausgedrückt, der Transistorbody mit einem Substratanschluß elektrisch gekoppelt bleibt, so daß das Anlegen eines vorbestimmten Potentials an den Transistorbody möglich bleibt. Wo und wie eine solche Implantation in dem Substrat vorzusehen ist, hängt von der jeweiligen Architektur des Speicherzellenfeldes ab, wobei bei der nachfolgenden Beschreibung bevorzugter Ausführungsbeispiele der vorliegenden Erfindung auf zwei spezielle Architekturen eingegangen wird. In jedem Fall wird erfindungsgemäß durch

eine Erhöhung der Dotierstoffkonzentration an Stellen, an denen eine solche Erhöhung nicht aufgrund anderer Effekte, beispielsweise eines zu hohen Leckstroms im Bereich des Buried Strap, verboten ist, die Ausdehnung der Raumladungszonen der Grabenkondensatoren durch eine erhöhte Dotierung, bei einem p-Substrat eine erhöhte p-Dotierung, klein gehalten. Somit bleibt eine Verbindung zwischen dem Transistorbody und den weiter unten liegenden, von Haus aus höher dotierten Substratbereichen bestehen.

[0010] Die vorliegende Erfindung schafft ferner ein Verfahren zum Herstellen eines Speicherzellenfelds mit folgenden Schritten:

Erzeugen einer Mehrzahl von Speicherzellen in einem Substrat eines ersten Dotierungstyps, wobei die Speicherzellen einen in dem Substrat angeordneten Grabenkondensator und einen dem Grabenkondensator zugeordneten Auswahltransistor mit einem Transistorbody, der in dem Substrat angeordnet ist, aufweisen; und

Erzeugen einer Implantation einer erhöhten Dotierstoffkonzentration des ersten Dotierungstyps in dem Substrat, die verhindert, daß Raumladungszonen an den Grabenkondensatoren, die bei vorbestimmten Speicherzuständen der Grabenkondensatoren bewirkt werden, einen zum Anlegen eines vorbestimmten Potentials an die Transistorbodies zur Verfügung stehenden Substratbereich derart einschnüren, daß das vorbestimmte Potential nicht mehr angelegt werden kann.

[0011] Weiterbildungen der vorliegenden Erfindung sind in den abhängigen Ansprüchen dargelegt.

[0012] Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

[0013] Fig. 1 eine schematische Ansicht eines Zellenfeldes einer ersten Speicherzellenarchitektur;

[0014] Fig. 2 eine Querschnittsansicht, die im wesentlichen eine Schnittansicht entlang der Linie A-A' in Fig. 1 darstellt; [0015] Fig. 3 eine Querschnittsansicht, die im wesentlichen schematisch eine Schnittansicht entlang der Linie B-B' in Fig. 1 darstellt;

[0016] Fig. 4 eine schematische Querschnittsansicht zur Erläuterung der vorliegenden Erfindung anhand einer zweiten Speicherzellenarchitektur;

[0017] Fig. 5 eine schematische Darstellung zur weiteren Erläuterung der zweiten Speicherzellenarchitektur; und

[0018] Fig. 6 eine schematische Querschnittsansicht zur Erläuterung eines Verfahrens zur Herstellung des in Fig. 4 gezeigten Ausführungsbeispiels der Erfindung.

[0019] Nachfolgend wird die vorliegende Erfindung anhand zweier Speicherzellenfeldarchitekturen, einer MINT-Architektur (MINT = Merged Isolation Node Trench) und einer BSSGT-Zellenfeldarchitektur (BSSGT = Buried Strap Surrounding Gate Transistor) näher erläutert.

[0020] Fig. 1 zeigt einen Ausschnitt eines MINT-Zellenfeldes in einer Querschnittsdarstellung, wobei der Schnitt in Höhe des oberen Grabenbereichs der Grabenkondensatoren einer solchen Architektur, in dem man den Buried Strap noch sieht, verläuft.

[0021] Wie in Fig. 1 gezeigt ist, sind bei der MINT-Architektur jeweils Paare nebeneinanderliegender Grabenkondensatoren in der Form sogenannter Deep Trenches (tiefer Gräben) vorgesehen. So bilden die beiden Gräben der Grabenkondensatoren 10a und 10b ein Paar ebenso wie die beiden Gräben der Grabenkondensatoren 12a und 12b.

[0022] In Fig. 1 sind ferner die einem jeweiligen Grabenkondensator zugeordneten vergrabenen Anschlußbereiche (Buried Straps) 14 gezeigt. Zwischen den Grabenkondensatoren 10a und 12a, die jeweilige tiefe Gräben aufweisen, ist ein aktiver Bereich 16 angeordnet, der lediglich schematisch angezeigt ist. In dem aktiven Bereich 16 sind die Auswahltransistoren für den Grabenkondensator 10a und den Grabenkondensator 12a gebildet. Innerhalb des aktiven Bereichs ist wiederum schematisch eine Sourceanschlußimplantation 18 für die Auswahltransistoren der Kondensatorgräben 10a und 12a gezeigt.

[0023] An dieser Stelle sei angemerkt, daß die Querschnittsansicht von Fig. 1 ein Zwischenstadium bei der Herstellung eines MINT-Zellenfelds zeigt, bei dem die jeweiligen Kondensatorgräben jeweils vollständig von einem Buried Strap umgeben sind. Ausgehend von der in Fig. 1 gezeigten Form wird im Rahmen der weiteren Bearbeitung ein vollständiges Ätzen der Substratoberfläche mit Ausnahme des aktiven Bereichs 16 sowie die übrigen aktiven Bereiche (nicht gezeigt) durchgeführt, durch das schließlich der Buried Strap lediglich noch unterhalb des aktiven Bereichs verbleibt. Die tiefen Gräben der Grabenkondensatoren werden durch dieses Ätzen nicht beeinflußt, da sie unterhalb der Ebene liegen, bis zu der dieses Ätzen stattfindet.

[0024] Eine schematische Schnittansicht entlang der Linie A-A' von Fig. 1 ist in Fig. 2 gezeigt. In Fig. 2 sind die beiden Grabenkondensatoren 10a und 12a gezeigt, die einen jeweiligen Oxidcollar 20 aufweisen. Der Oxidcollar 20 ist vorgesehen, um nach späterer Fertigstellung einen parasitären vertikalen Transistor zwischen Buried Strap (n-dotiert), Siliziumsubstrat (p-dotiert) und Buried Plate (n-dotiert, nicht gezeigt), über die der Anschluß der Grabenaußenelektrode erfolgt, zu unterbrechen. Oberhalb des Oxidcollars 20 ist jeweils der Buried Strap 14, d. h. der vergrabene Anschlußbereich, für die Grabenkondensatoren gezeigt. Vorrangig ist das Substrat 22, in dem das Speicherzellenfeld gebildet ist, ein p-Substrat, so daß die Buried Straps 14 n<sup>+</sup>-Gebiete darstellen. In der Regel handelt es sich bei den hier als Substrat bezeichneten Bereichen um in einem Ausgangs-

wafer bzw. Ausgangssubstrat gebildete wattenartige Bereiche. In üblicher Form handelt es sich bei dem als Substrat 22 bezeichneten Bereich um eine p-Wanne über einer n-Wanne (nicht gezeigt), die sich wiederum in einem schwach dotierten p-Substrat (nicht gezeigt) befindet.

[0025] Der exakte Aufbau der Grabenkondensatoren entspricht dem herkömmlicher Speicherkondensatoren für DRAM-Speicher und bedarf somit hierin keiner weiteren Erläuterung. Die n<sup>+</sup>-Gebiete, die die Buried Straps 14 darstellen, sind mit jeweiligen Drainbereichen 24 der den Grabenkondensatoren 10a und 12a zugeordneten Auswahltransistoren, die ebenfalls durch n<sup>+</sup>-Bereiche gebildet sind, verbunden. Diese Transistoren sind in Fig. 2 schematisch bei den Bezugszeichen 26 und 28 gezeigt und weisen einen gemeinsamen Sourcebereich 30 auf.

[0026] Eine schematische Querschnittsansicht entlang der Linie B-B' in Fig. 1 ist in Fig. 3 gezeigt. Fig. 3 zeigt einen Schnitt durch die beiden Grabenkondensatoren 32a und 32b, die wiederum jeweils einen entsprechenden Oxidcollar aufweisen. Ferner ist in Fig. 3 schematisch der Auswahltransistor 28, der einen Transistorbody 28' aufweist, zu sehen. Ferner ist in Fig. 3 eine dicke Oxidschicht 34 gezeigt, die nach der oben bezüglich auf Fig. 1 beschriebenen Rückätzung des Substrats zur Auffüllung der dabei entstehenden Freiräume aufgebracht wird.

[0027] In Fig. 2 ist nun eine p-Implantation 36, beispielsweise eine Borimplantation, in dem Substratbereich zwischen den beiden Grabenkondensatoren 10a und 12a vorgesehen. Der Dotierungspegel für die p-Implantation kann abhängig von der Dotierung des p-Substrats in einem Bereich von 10<sup>17</sup>/cm<sup>3</sup> bis 10<sup>19</sup>/cm<sup>3</sup> liegen, und beträgt bei einem bevorzugten Ausführungsbeispiel 2 · 10<sup>18</sup>/cm<sup>3</sup>.

[0028] Diese Implantation ist ausgebildet, um sicherzustellen, daß ein Anschluß der Transistorbodies 26' und 28' selbst bei sehr kleinen Strukturgrößen unter 100 nm an das darunterliegende Substrat 22 gewährleistet bleibt. Bei dem bezüglich der Fig. 1 bis 3 beschriebenen Beispiel kann die Implantation 36 mittels einer Dotierung durch die Sourcekontaktmaske, d. h. durch den Sourcebereich 30 erfolgen. Alternativ kann die Dotierung zur Erzeugung der Implantation zu einem beliebigen geeigneten Verfahrensstadium, beispielsweise vor Erzeugung der Transistorstrukturen, unter Verwendung einer geeigneten Maske erfolgen.

[0029] Bezugnehmend auf die Fig. 2 und 3 wird nunmehr die Wirkung der erfindungsgemäß vorgesehenen Implantation 36 beschrieben.

[0030] Abhängig von einem vorliegenden Speicherzustand, befindet sich die innere Elektrode (nicht gezeigt), die mit dem Buried Strap verbunden ist, auf einem vorbestimmten Potential. In einem High-Zustand befinden sich die innere Elektrode und der Buried Strap beispielsweise auf einer Spannung von 1,8 Volt. Dagegen wird an das Substrat 22 und die Transistorbodies 26' und 28' ein vorbestimmtes Potential beispielsweise zwischen 0 und -1 Volt angelegt. Dadurch entsteht an den Grabenkondensatoren 10a und 12a eine jeweilige Raumladungszone 38. Die in Fig. 2 dargestellte Form der Raumladungszone 38 ergibt sich durch die mit zunehmender Substrattiefe zunehmende Dotierungshöhe. Ferner ergibt sich durch den n<sup>+</sup>p-Übergang zwischen Buried Strap 14 und Substrat 22 im Bereich der Buried Straps eine breite Verarmungszone, d. h. Raumladungszone. In gleicher Weise erzeugen bei der gezeigten Speicherzellenfeldarchitektur Grabenkondensatoren 32a und 32b (Fig. 1) eine jeweilige Raumladungszone 40, wie sie in Fig. 3 schematisch dargestellt ist. Die hier gezeigte Raumladungszone ist ausschließlich durch die Potentialdifferenz zwischen den tiefen Gräben und dem dazwischenliegenden Substrat bedingt.

[0031] Zu Veranschaulichungszwecken sind in Fig. 2 die Raumladungszonen 38 mit einem breiten Abstand zwischen denselben dargestellt. Geht man nun ausgehend von der gezeigten Struktur von einer weiteren Miniaturisierung aus, ist es offensichtlich, daß irgendwann die Raumladungszonen der benachbarten Grabenkondensatoren einander so nahe kommen, daß eine Verbindung der Transistorbodies 26', 28' mit dem darunterliegenden Substrat 22 und somit dem Substratanschluß nicht mehr gegeben ist. Wie in Fig. 3 gezeigt ist, findet darüber hinaus eine weitere Abschnürung des Substratbereichs unterhalb des Transistors 28 durch die Raumladungszone 40 der Grabenkondensatoren 32a und 32b statt. Somit kann bei einem ungünstigen Beschreibungszustand, beispielsweise wenn alle vier Zellen 10a, 12a, 32a und 32b bei entsprechend kleinen Strukturgrößen in einem High-Zustand sein, eine Verbindung des Transistorbodies 28' mit dem darunterliegenden Substrat 22 und somit dem Substratanschluß völlig verhindert sein, da von vier Seiten der zum Anschluß zur Verfügung stehende Substratbereich eingeschnürt wird. Dies wird durch das erfundungsgemäße Vorsehen der p-Implantation 36 verhindert, da diese die Ausdehnung der Raumladungszonen durch die verglichen mit dem Substrat erhöhte Dotierung derselben begrenzt.

[0032] An dieser Stelle wird nochmals angemerkt, dass, selbst wenn ohne das erfundungsgemäße Vorsehen der Implantation ein enger Bereich zwischen den Raumladungszonen benachbarter Grabenkondensatoren verbleiben würde, die Leitfähigkeit, die hauptsächlich von der Dotierung abhängt, stark reduziert wäre und somit ein elektrischer Anschluß der Transistorbodies an das darunterliegende Substrat durch den über den Einschnürungsabschnitt auftretenden Spannungsabfall stark eingeschränkt wäre. Durch die vorliegende Erfindung bleibt durch die Implantation eine erhöhte Leitfähigkeit zwischen Transistorbodies und Substrat selbst bei ungünstigstem Beschreibungszustand bestehen.

[0033] Ein zweites Ausführungsbeispiel eines erfundungsgemäßen Zellenfelds wird nachfolgend bezugnehmend auf die Fig. 4 bis 6 erläutert. In diesen Figuren sind schematisch Ausschnitte eines BSSGT-Zellenfelds dargestellt.

[0034] In der schematischen Querschnittsansicht von Fig. 4 sind die zwei Grabenkondensatoren mit tiefen Gräben und den zugeordneten Oxidcollars 20, die in einem Substrat 48 gebildet sind, gezeigt. Auf einer Seite jedes Grabenkondensators ist ein vergrabenes Anschlußgebiet 54, d. h. ein Buried Strap, vorgesehen. Der genaue Aufbau der Grabenkondensatoren entspricht wiederum einem herkömmlichen Aufbau und muß hierin nicht weiter erläutert werden.

[0035] Jedem Grabenkondensator ist bei dieser Speicherzellenfeldarchitektur ein vertikaler Auswahltransistor zugeordnet. Der vertikale Auswahltransistor weist dabei einen einen jeweiligen Substratbereich 56 umgebendes Gate 58 auf, wie der schematischen Ansicht von Fig. 5 zu entnehmen ist. Das Gate 58 weist eine Gatelektrode 60 und ein Gateoxid 62 auf, wie in Fig. 4 gezeigt ist. Die in Fig. 4 schraffierten Bereiche 64 stellen isolierende Bereiche, vorzugsweise Oxidbereiche dar. Ferner umfaßt der dem Kondensator 52 zugeordnete Auswahltransistor einen n<sup>+</sup>-dotierten Sourcebereich 66 auf, so daß durch den Sourcebereich 66, das Gate 58 und den Buried Strap 54, der ferner als Drainlektrode wirkt, ein Auswahltransistor für den Grabenkondensator 52 gebildet ist. Die in Fig. 4 mit dem Bezugszeichen 68 bezeichneten Bereiche stellen Gate-Bereiche benachbarter Auswahltransistoren dar.

[0036] Fig. 5 zeigt die Architektur eines BSSGT-Zellenfeldes, bei dem die Gatebereiche 58 und 68 benachbarter vertikaler Transistoren durch Verbindungsbereiche 69 verbunden sind, für die Stützstrukturen 69a vorgesehen sind.

Die somit verbundenen Gatebereiche stellen jeweilige Wortleitungen dar.

[0037] Wie ferner in Fig. 4 gezeigt ist, ist im Bereich des p-Substrats 56 eine p-Implantation 70 mit gegenüber dem Substrat erhöhtem Dotierungspegel vorgesehen. Die Implantation 70 verhindert eine Ausbildung einer Raumladungszone auf der Seite der Grabenkondensatoren, die den Buried Straps 54 gegenüber liegt.

[0038] Befinden sich die Grabenkondensatoren 50 und 52 auf einem High-Level, so ergibt sich durch eine entsprechende Potentialdifferenz wiederum eine Raumladungszone 72. Durch das Vorsehen der Implantation 70 wird somit bei dieser Zellenfeldarchitektur gewährleistet, daß auch bei kleinen Strukturabmessungen die Raumladungszonen benachbarter Grabenkondensatoren, beispielsweise der Grabenkondensatoren 50, 52, 74 und 76 in Fig. 5, den Substratbereich 56 nicht derart einschnüren können, daß der Substratbereich unterhalb des Sourceanschlußbereichs 66, d. h. der Transistorbody, nicht mehr mit einem Substratanschluß verbunden ist, so daß ein vorbestimmtes Potential nicht mehr an diesem Bereich angelegt werden kann.

[0039] Auch bei der in Fig. 4 gezeigten Speicherzellenfeldarchitektur ist die p-Dotierstoff-Konzentration wiederum an Stellen erhöht, an denen ein Buried Strap nicht vorhanden ist, da sonst zu stark ansteigende Leckströme auftreten würden. Bei diesem Ausführungsbeispiel kann die Erhöhung der p-Dotierstoff-Konzentration erreicht werden, indem eine Schrägimplantation in den nicht ausgefüllten Graben eines Grabenkondensators durchgeführt wird, wie schematisch in Fig. 6 gezeigt ist. Die verwendete Schrägimplantation ist dabei schematisch durch die mit dem Bezugszeichen 78 bezeichneten Pfeile dargestellt. Eine solche Schrägimplantation zur Erzeugung der Bereiche erhöhter p-Dotierstoff-Konzentration, d. h. der Implantationen 70, kann dabei abhängig vom Bauelemententwurf vor oder nach einer ersten Grabenfüllung und einer entsprechenden Rückätzung durchgeführt werden. In jedem Fall wird die Schrägimplantation so ausgeführt, daß die Implantationen 70 auf den den Buried Straps 54 gegenüberliegenden Seiten der Grabenkondensatoren bzw. im oberen Grabenbereich gebildeten Gatestrukturen angeordnet sind. In Fig. 6 ist die Schrägimplantation nach der Trenchfüllung und Rückätzung derselben unter Verwendung einer geeigneten Implantationsmaske 80 gezeigt.

[0040] Erfundungsgemäß kann somit durch eine Erhöhung der Dotierstoffkonzentration an Stellen, an denen der Buried Strap nicht eine hohe p-Dotierung verbietet, die Ausdehnung der Raumladungszone klein gehalten werden. Obwohl im Rahmen der obigen Beschreibung lediglich zwei Speicherzellenfeld-Architekturen erläutert wurden, ist klar, daß die vorliegende Erfindung auf beliebige Speicherzellenfeld-Architekturen anwendbar ist, um einen Anschluß des Transistorbodies jeweiliger Auswahltransistoren an einen darunterliegenden Substratbereich und somit einen Substratanschluß gewährleisten zu können.

#### Bezugszeichenliste

- 10a, 10b, 12a, 12b Grabenkondensatoren
- 14 Buried Straps
- 16 Aktiver Bereich
- 18 Sourceanschlußimplantation
- 20 Oxid-Collar
- 22 Substrat
- 24 Drainbereich
- 26, 28 Auswahltransistoren
- 26', 28' Transistorbodies
- 30 Gemeinsamer Sourcebereich

32a, 32b Grabenkondensatoren	
34 Oxidschicht	
36 Implantation	
38 Raumladungszonen	
40 Raumladungszonen	5
48 Substrat	
50, 52 Grabenkondensatoren	
54 Buried Strap	
56 Substratbereich	
58 Umgebendes Gate	10
60 Gateelektrode	
62 Gateoxid	
64 Oxidbereich	
66 Sourcebereich	
68 Gatebereiche benachbarter Auswahltransistoren	15
69 Gateverbindungsbereiche	
69a Stützstrukturen	
70 Implantation	
72 Raumladungszone	
74, 76 Grabenkondensatoren	20
78 Schrägimplantation	
80 Implantationsmaske	
Patentansprüche	

1. Speicherzellenfeld mit folgenden Merkmalen: einer Mehrzahl von in einem Substrat (22; 48) eines ersten Dotierungstyps gebildeten Speicherzellen, die einen in dem Substrat angeordneten Grabenkondensator (10a, 12a; 50, 52) und einen dem Grabenkondensator zugeordneten Auswahltransistor (26, 28) mit einem Transistorbody (26', 28'), der in dem Substrat (22, 48) angeordnet ist, aufweisen, **gekennzeichnet durch** eine Implantation (36; 70) einer erhöhten Dotierstoffkonzentration des ersten Dotierungstyps in dem Substrat (22; 48), die verhindert, daß Raumladungszonen (38, 40; 72) an den Grabenkondensatoren, die bei vorbestimmten Speicherzuständen der Grabenkondensatoren bewirkt werden, einen zum Anlegen eines vorbestimmten Potentials an die Transistorbodies (26', 28') zur Verfügung stehenden Substratbereich derart einschnüren können, daß das vorbestimmte Potential nicht angelegt werden kann. 35
2. Speicherzellenfeld nach Anspruch 1, bei dem zwei laterale Auswahltransistoren (26, 28) zwischen zwei Grabenkondensatoren (10a, 12a) angeordnet sind, bei dem die Auswahltransistoren (26, 28) jeweils einen Drainbereich (24) eines zweiten Dotierungstyps aufweisen, der mit einem vergrabenen Anschlußbereich (14) des zweiten Dotierungstyps eines zugeordneten Grabenkondensators (10a, 12a) verbunden ist, bei dem die beiden zwischen den Grabenkondensatoren (10a, 12a), angeordneten Auswahltransistoren (26, 28) einen gemeinsamen Sourcebereich (30) zwischen den Drainbereichen (24) aufweisen, und bei dem unterhalb des Sourcebereichs (30) die Implantation (36) in dem Substrat (22) vorgesehen ist. 50
3. Speicherzellenfeld nach Anspruch 1, bei dem jedem Grabenkondensator (50, 52) ein vertikaler Auswahltransistor zugeordnet ist, bei dem jeder Grabenkondensator (50, 52) einen vergrabenen Anschlußbereich (54) eines zweiten Dotierungstyps auf einer Seite desselben aufweist, wobei die Implantation (70) zwischen nebeneinander angeordneten Grabenkondensatoren (50, 52) benachbart zu der Seite der Grabenkondensatoren (50, 52) angeordnet ist, die dem vergrabenen Anschlußbereich (54) gegenüberliegt. 65
4. Speicherzellenfeld nach einem der Ansprüche 1 bis

- 3, bei dem das Substrat (22; 48) ein p-Substrat und die Implantation eine Borimplantation ist.
5. Verfahren zum Herstellen eines Speicherzellenfelds mit folgendem Schritt: Erzeugen einer Mehrzahl von Speicherzellen in einem Substrat (22; 48) eines ersten Dotierungstyps, wobei die Speicherzellen einen in dem Substrat angeordneten Grabenkondensator (10a, 12a; 50, 52) und einen dem Grabenkondensator zugeordneten Auswahltransistor (26, 28) mit einem Transistorbody (26', 28'), der in dem Substrat angeordnet ist, aufweisen, gekennzeichnet durch einen Schritt des Erzeugens einer Implantation (36, 70) einer erhöhten Dotierstoffkonzentration des ersten Dotierungstyps in dem Substrat (22; 48), die verhindert, daß Raumladungszonen (38, 9; 0; 72) an den Grabenkondensatoren, die bei vorbestimmten Speicherzuständen der Grabenkondensatoren bewirkt werden, einen zum Anlegen eines vorbestimmten Potentials an die Transistorbodies zur Verfügung stehenden Substratbereich derart einschnüren, daß das vorbestimmte Potential nicht mehr angelegt werden kann.
6. Verfahren nach Anspruch 5, bei dem zwei laterale Auswahltransistoren (26, 28) zwischen zwei Grabenkondensatoren (10a, 12a) erzeugt werden, die einen gemeinsamen Sourcebereich (30) aufweisen, wobei beim Schritt des Erzeugens der Implantation Dotierstoffe durch den Sourcebereich (30) in das Substrat (22) eingebracht werden.
7. Verfahren nach Anspruch 5, bei dem die Implantation (70) erzeugt wird, indem eine Schrägimplantation in den Graben des Grabenkondensators (50, 52) durchgeführt wird, so daß ein implantiertes Bereich auf einer Seite des Grabens erzeugt wird.
8. Verfahren nach Anspruch 7, bei dem die Schrägimplantation so erfolgt, daß der implantierte Bereich gegenüber einem vergrabenen Anschlußbereich (54) des Grabenkondensators (50, 52) erzeugt wird.
9. Verfahren nach einem der Ansprüche 5 bis 8, bei dem ein p-Substrat verwendet wird und als Dotierstoff zum Erzeugen der Implantation (36; 79) Bor verwendet wird.

---

Hierzu 6 Seite(n) Zeichnungen

---

**- Leerseite -**

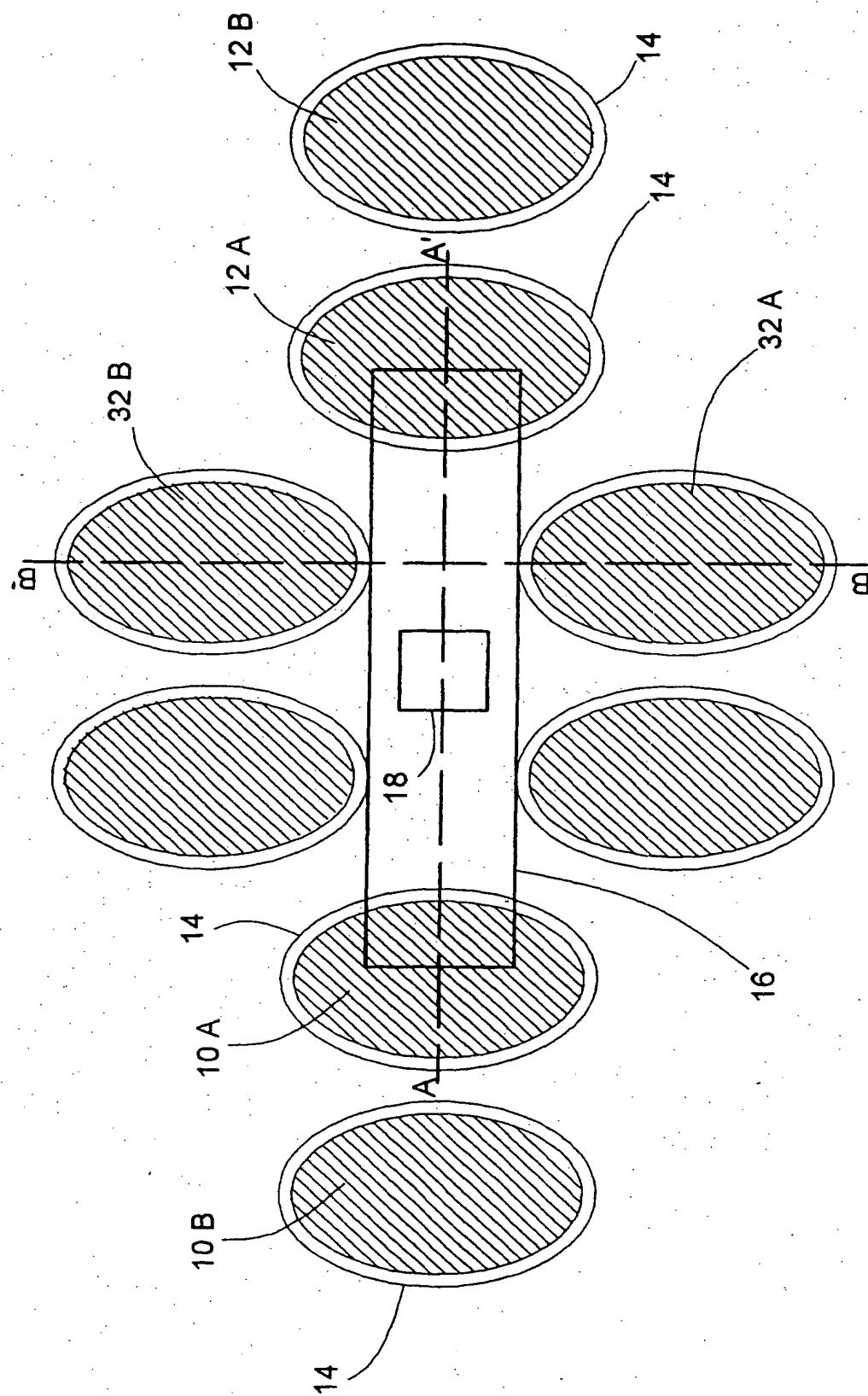


FIG 1

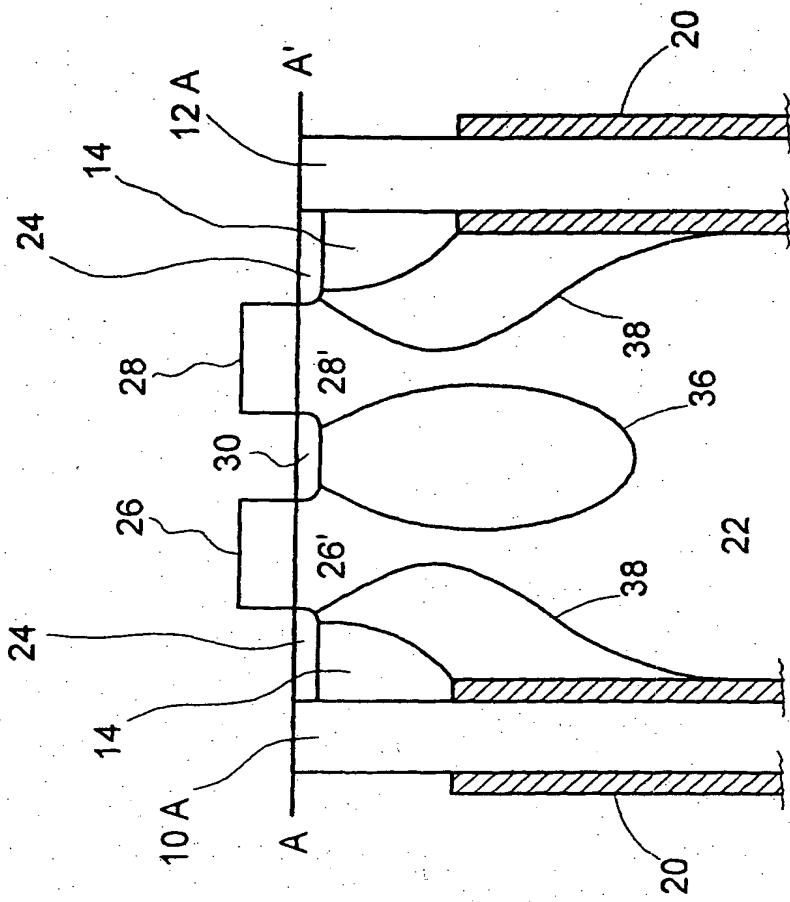


FIG 2

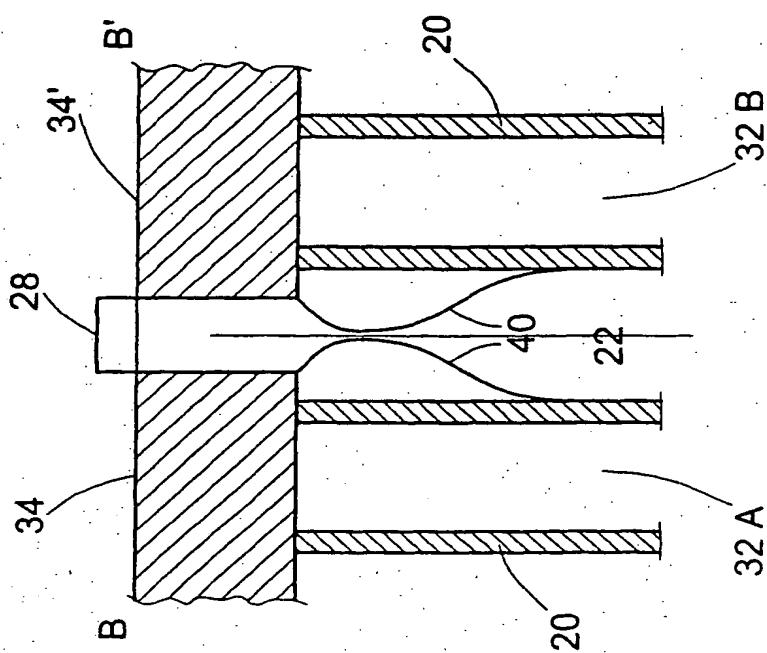


FIG 3

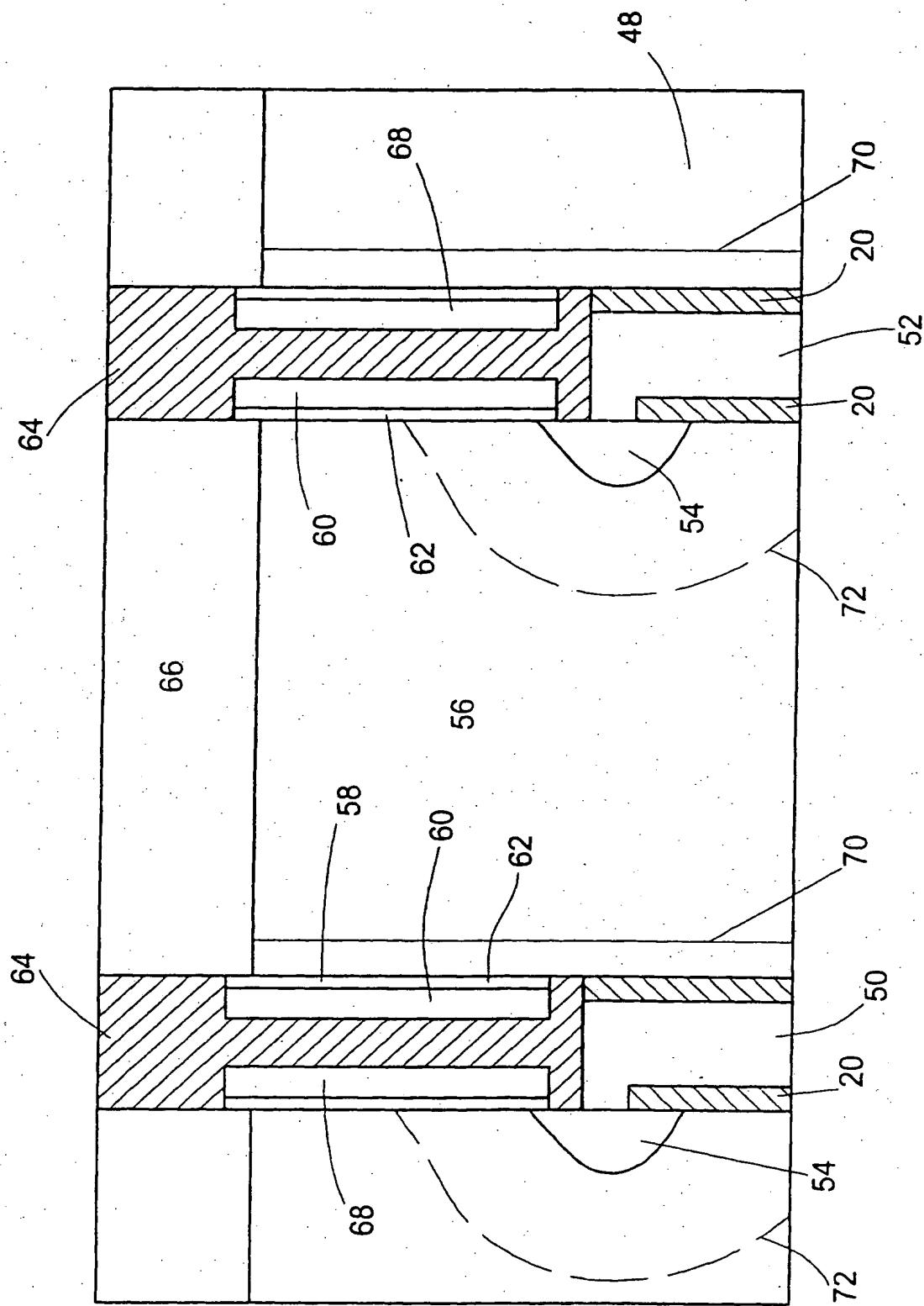


FIG 4

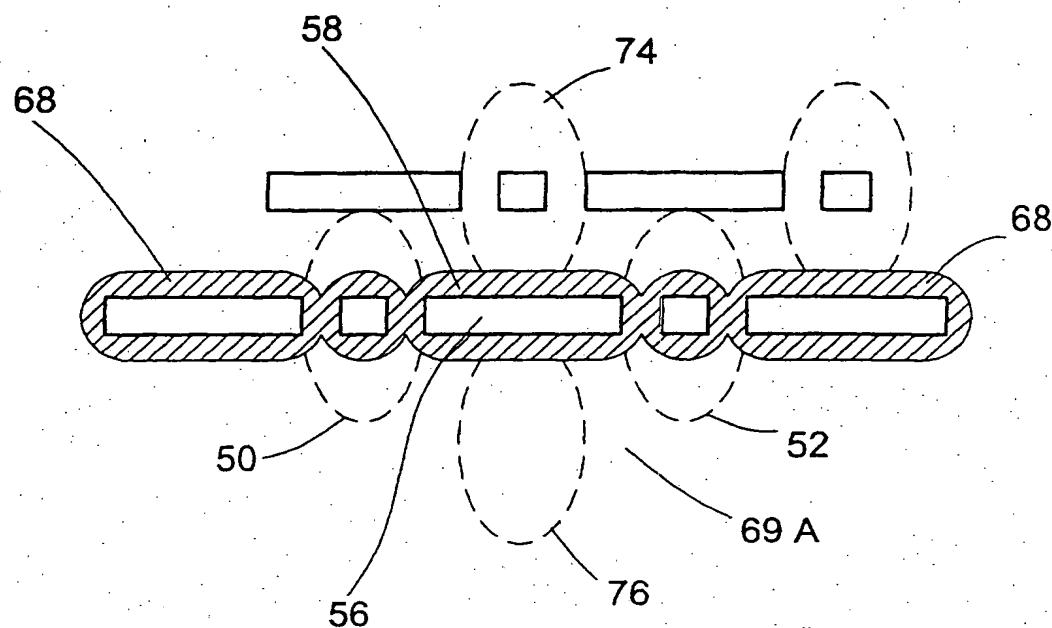


FIG 5

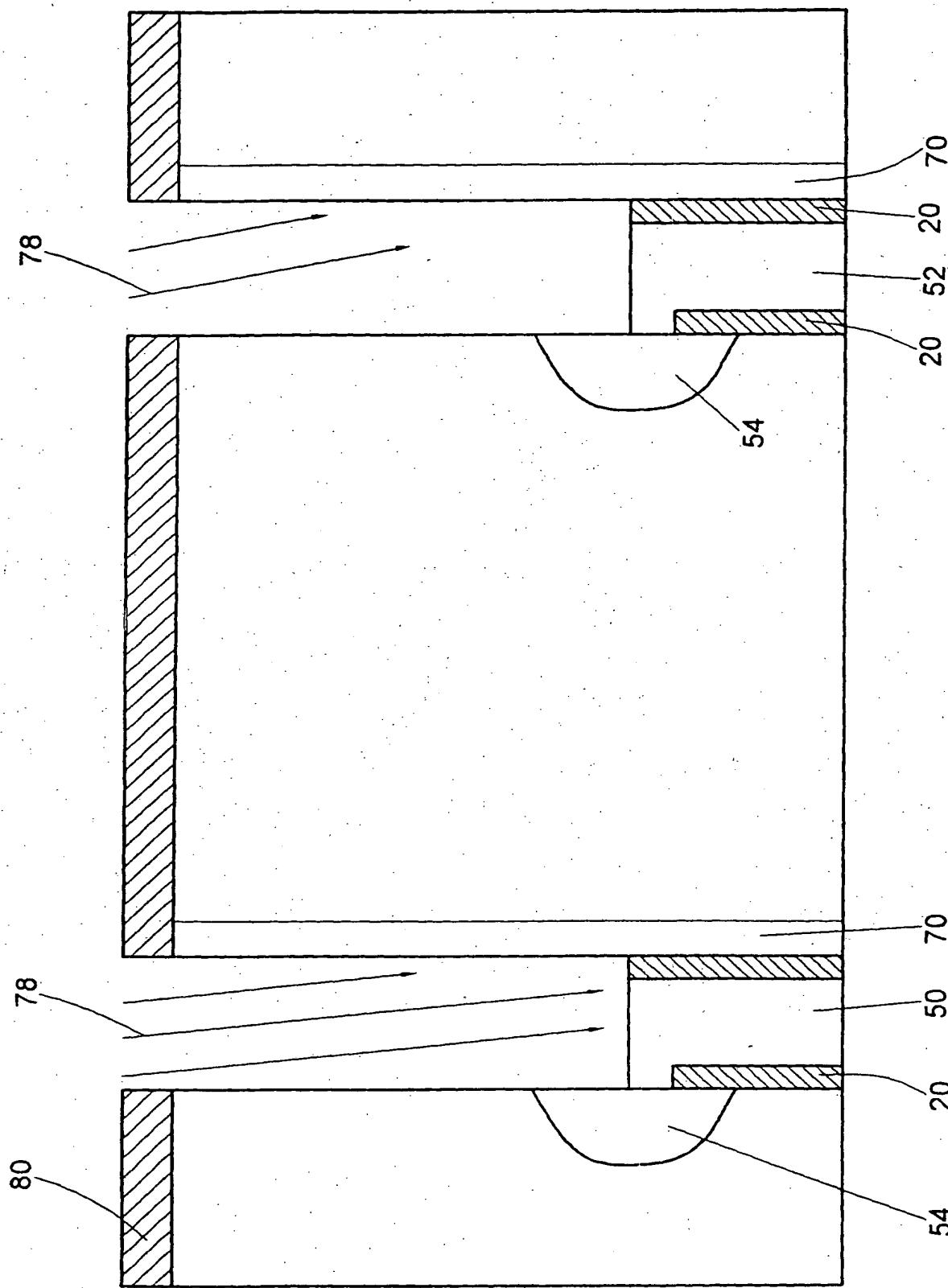


FIG 6